

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314873

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H04N 5/235

H04N 5/335

(21)Application number : 2001-110452

(71)Applicant : TOSHIBA LSI SYSTEM SUPPORT KK
TOSHIBA CORP

(22)Date of filing : 09.04.2001

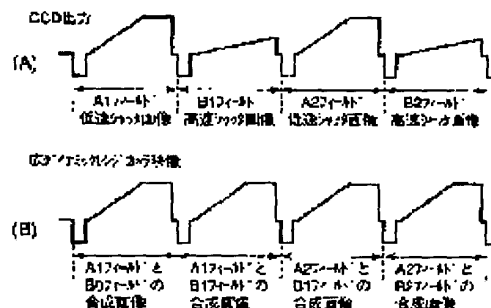
(72)Inventor : NAKAMURA SATORU

(54) CIRCUIT FOR IMAGING DEVICE AND SIGNAL PROCESSING METHOD FOR IMAGING

(57)Abstract:

PROBLEM TO BE SOLVED: To pick up an image over an extremely wide range of the quantity of light by picking up an image using electronic shutter processing for both high speed and low speed and processing video signals thus obtained.

SOLUTION: Imaging output from a CCD camera section 302 is obtained as first and second image signals having a different exposure time through an electronic shutter circuit 305. The first and second image signals are branched into two system and subjected to characteristics control, respectively, before being synthesized. Image characteristics are detected by an integrated value circuit 315, a peak value detecting circuit 316, and a microcomputer circuit 318 and shutter timing is controlled to ensure imaging of wide dynamic range of luminance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(11)特許出願公開番号

特開2002-314873
(P2002-314873A)

(43)公開日 平成14年10月25日(2002.10.25)

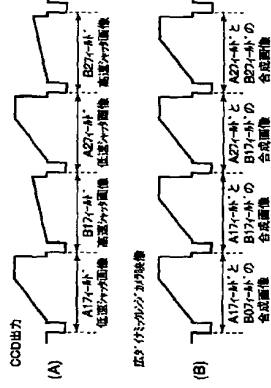
| | | | |
|--|------------------------------------|---|--|
| <p>(51) Int.Cl. H 0 4 N</p> <p>5/235 5/235</p> | <p>識別記号</p> | <p>F I H 0 4 N</p> <p>5/235 5/335</p> | <p>テラコト (参考) 5 C 0 2 2 Q 5 C 0 2 4</p> |
| <p>(21) 出願番号</p> | <p>特願2001-110452(P2001-110452)</p> | <p>(22) 出願日</p> | <p>平成13年4月9日(2001.4.9)</p> |
| <p>(71) 出願人</p> | <p>東芝エレクトロニクスシステムサポート株式会社</p> | <p>(71) 出願人</p> | <p>東芝エレクトロニクスシステムサポート株式会社 神奈川県川崎市幸区堀川町580番地 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 中村 寛</p> |
| <p>(72) 発明者</p> | <p>(70) 代理人</p> | <p>(70) 代理人</p> | <p>井理士 鈴江 武彦 (外6名)</p> |
| <p>審査請求 未請求</p> | <p>請求項の数9 O L (全16頁)</p> | <p>審査請求 未請求</p> | <p>請求項の数9 O L (全16頁)</p> |

(54)【発明の名称】 撮像装置用回路及び撮像用信号処理方法

(57)【要約】

【課題】高速用、低速用の各電子シャッタ処理を用いて撮像し、得られた映像信号を信号処理し、極めて広範囲な光量に対する画像撮像が可能となる。

【解決手段】CCDカメラ部302の撮像出力は、電子シャッタ回路305により異なる露光時間による第1、第2の画像信号とされ、第1、第2の画像信号は、2系統に分岐されそれぞれ特性調整が行なわれ合成される。積算値回路315、ピーク値検出回路316、マイコン回路318により画像特性が検出され、角度データインテグレーションの広い画像を得るようにシャッタがタイミングが調整される。



【特許請求の範囲】

【請求項1】 第1の電子シャッタ速度で撮像した画面単位の第1の画像信号及び、前記第1の露光時間とは異なる第2の露光時間で撮像した画面単位の第2の画像信号を得る撮像装置用回路において、

前記第1の画像信号と第2の画像信号の加算または画素毎の切り換えによって合成画像信号を構築する画像合成手段と、

前記第1の画像信号と第2の画像信号との輝度平均値と、輝度ブロック値を検出する検出手段と、

検出手段の検出結果に基づき、前記第1、第2の磁光時間間を制御する制御信号を生成する磁光時間制御信号生成手段と、

前記画像合成手段に供給される前の前記第1、第2の画像信号の増幅度を個別に制御する利得制御手段とを具備したことを特徴とする画像装置用回路。

【請求項2】 前記露光時間制御信号生成手段は、前記第1の画像信号の露度ピーク検出により高露度エリアを抽出し、この高露度エリアを除いた領域の低露度エリアの露度平均値を算出する手段を有し、

前記露光時間制御信号生成手段は、前記低照度エリアの照度平均値から前記第1の画像信号における前記低照度エリアの、前記露光時間に対する露光時間を制御する手段を有したことを特徴とする請求項1記載の撮像装置用回路。

【請求項3】 前記光時間制御信号生成手段は、第1の画像信号の画度ピーク検出により高画度エリアを抽出し、この高画度エリアに対応する第2の画像信号のエリア（高画度エリア）の画度平均値を算出する手段と、

前記調度平均値に基づいて、前記第2の画像信号の前記高輝度エリアに対して、調度の階調を確保できるレベルに露光時間を制御する手段とを具備したことを特徴とする請求項1記載の画像装置用回路。

【請求項4】 前記露光時間制御信号生成手段は、前記第1の画像信号と第2の画像信号の露光時間比率を演算し、演算結果が数値を越えると、これに比例して前記合成比率における高速シャッタ画像の比率を大きくしていく制御手段と、

第1の画像信号と第2の画像信号の露光時間比率を演算し、演算結果が数値を越えると、前記画像信号処理手段に含まれ、前記出力特性変換回路の特性を指数特性に切り換へ、前記演算結果の数値に比例して指数特性の指数定数を小さくしていく手段を具したことを特徴とする請求1記載の撮像装置用回路。

【請求項5】 前記光時間を決定する電子シャッタの最終発生タイミングを、タイミングジェネレータのクロック単位で時間的移動制御するシャッタ制御手段を具備したことを特徴とする請求項1記載の撮像装置用回路。

【請求項6】 前記画像信号処理手段と、前記輝度と一

ク値を抽出する抽出手段と、前記露光時間を決定する選
び出す手段と、前記露光時間に基づいて、前記露光装置に
シヤッタの最終発生タイミングをタイムインゲンジェネレ
ータの1クロック単位で時間的移動制御するシヤッタ開
閉手段と、前記合成手段に供給される前の前記第1、第
2の画像信号の増幅率を個別に制御する利得制御手段と
は、1つの集積回路内に構築されていることを特徴とし
て請求項1記載の撮像装置用回路。

【請求項7】 第1の画像信号、第2の画像信号、第3の画像信号と続く画面情報の少なくとも二個の平均値より得た値から、電子シャッタ速度が収束すべき露光最適値を設定し、更にこの露光最適値を中心に許容範囲となる収束範囲を設定し、かつ、前記収束範囲としては、範囲が広いものと、狭いものあるいは許容範囲が±0のもの、±2個を設定し、

前記収束範囲から前記制度平均値からずれた場合、ずれた範囲の経過時間の計測を開始し一定時間内に前記収束範囲の経過時間平均値が原るかを判断する基準として、前記一定時間を保護時間として設定し、

かつ、それぞれの収束範囲に対し異なる前記保護時間を
 持たせ、収束範囲の広い方に対しては、前記遅延平均値
 の変化が大きい時に前記電子シャッタ速度を変化させて
 前記露光量値に直し、収束範囲の狭い方に対しては前
 記遅延平均値の変化が小さい時に前記露光時間を変化さ
 せて前記露光量値に直し、収束範囲の広い方に対しては
 撮像用信号処理方法。

【請求項8】 第1の露光時間で撮像した画面単位の第1の画像信号及び、前記第1の露光時間とは異なる第2の露光時間で撮像した画面単位の第2の画像信号を得る撮像装置用回路において、

前記露光時間となる電子シャッタ速度を変化させるためのバルスの生成部には、バルスのエッジ間の間隔を数クロック単位で可変する手段を具備することを特徴とする撮像装置回路。

【請求項9】 前記パルスのエッジ間の間隔は、撮像素子の信号読み出しタイミングとなる垂直ブラッキング期間に変化されることを特徴とする請求項8記載の撮像装置用回路。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】この発明はテレビジョンカメラのレンズの屈折率の調整に関するものである。特に、広範囲の距離を持つ被写体を撮像可能にする撮像装置を用いた方法及び撮像信号処理方法に関する。

[0002]

【従来の技術】

【底本】『電荷の蓄積容量の限界と、その特性の関係はカメラの入射光量とある範囲内に抑えるようにして撮像していた。従って、屋外等での撮像時には被写体の輝度範囲を撮像可能とするダイナミックレンジが得られず、撮像画像に問題があった。このため、撮像素子などの電子シ

ヤッタ機能を用いて、高速シャッタと低速シャッタのよう
うに異なるシャッタ時間で撮像し、この映像信号を信
号処理することで広ダイナミックレンジ拡大を図るなど
していた。

【0003】従来の広ダイナミックレンジカメラの動作
原理を示す。

【0004】図1(A)、(B)には、電荷結合撮像素
子(CCD)からの出力映像信号(A1、B1、A2、B2フィー
ルド…)と、広ダイナミックレンジのカメラ映像信号
(合成画像)の波形を示している。Aフィールドを低速
シャッタ画像、Bフィールドを高速シャッタ画像とす
る。低速シャッタ画像とは、例えばシャッタ速度が1/
600のことであり、高速シャッタ画像とは、例えばシャ
ッタ速度が1/2000のことである。低速シャッタ画
像、高速シャッタ画像とは、CCD等にシャッタバルス
を直接与える電子シャッタで露光時間を制御した映像信
号のことである。

【0005】広ダイナミックレンジカメラは、低速シャ
ッタで被写体の画度の低い部分(画度の高い部分は飽和
してしまふ)を撮像し、高速シャッタで被写体の画度の
高い部分(画度の低い部分は暗くして撮像不可能)を撮像
し、両方の画像を合成することにより、1画面で被写体
の画度の低い部分から画度の高い部分の撮像を可能にす
るものである。例えば図1(B)に示すように、A1フ
ィールド画像(低速シャッタ画像)とB0フィールド画
像(高速シャッタ画像)を合成し、次に、A1フィー
ルド画像(低速シャッタ画像)とB1フィールド画像(高
速シャッタ画像)を合成する。以降同じ動作を繰り返
し行なふ。

【0006】この場合、低速シャッタと高速シャッタの
速度と合成比率は固定である。また、広ダイナミックレ
ンジカメラに、入射光量を自動調節するオートアイリス
レンズ等を搭載してもダイナミックレンジは拡大しな
い。また、このシャッタ速度の比は、ダイナミックレ
ンジの拡大率と、この広ダイナミックレンジカメラは約
1/60、高速シャッタ速度が1/2000で固定され
ているとすると、この広ダイナミックレンジカメラは約
32倍の拡大率を持っていることになる。

【0007】図2は、従来の広ダイナミックレンジカメ
ラのブロック図である。固体撮像素子1で得られた信号
をA/D変換器2でA/D(アナログデジタル)変換
し、フレームメモリ3Aと3Bに交互に書き込む。フレ
ームメモリ3A、3Bから読み出された信号は、合成処
理回路4に送られ、プロセス回路5を通じて出力され
る。制御部は、CPU(中央演算処理装置)6と撮光制
御部7で構成されていて、ディジタル処理部10からの
測光データを用いてCPU6にて演算を行う。演算結果
は、ディジタル処理部10と露光制御部7へ送られ、そ
れぞれ制御信号を生成し、ディジタル処理部10と固体
撮像素子1を制御する。上記装置は例えば特願昭61-255

映像信号は、アナログデジタル(A/D)変換回路30
4に入力され、アナログ映像信号からデジタル映像信号
に変換される。

【0016】電子シャッタ回路305からはフィールド
ごとにシャッタ速度の異なる、低速電子シャッタと高速
電子シャッタの電子シャッタ信号がCCDカメラ部30
2に交互に供給されるので、フィールドごとに、低速シ
ャッタ映像信号と高速シャッタ映像信号とが交互に得ら
れる。これらの映像信号は2つの垂直期間のメモリで
ある低速シャッタ用メモリ回路306と、高速用シャッ
タメモリ回路307にそれぞれ入力され、低速シャッタ
映像信号と高速シャッタ映像信号とに分離される。

【0017】低速シャッタ用メモリ回路306の入力側
と出力側の信号は、低速シャッタ用切替回路308へ入
力され、同じく、高速シャッタ用メモリ回路307の入
力側と出力側の信号は、高速シャッタ用切替回路309
へ入力される。低速シャッタ用切替回路308、高速シ
ャッタ用切替回路309は、調光信号であった低速シャ
ッタ映像信号と高速シャッタ映像信号とを、それぞれ速
転信号として出力する。つまり、低速シャッタ用切替回
路308からは低速シャッタ映像信号、高速シャッタ用
切換回路309からは高速シャッタ映像信号の遅延信号が
それぞれ得られる。これらの信号は、低速用特性変換回
路310と高速用特性変換回路311に入力され、映像
信号に対して特性変換、たとえば、非線形特性となるゲ
ンマ特性を与えられる。

【0018】低速用特性変換回路310、高速用特性変
換回路311の出力は、加算又は切換回路312に送ら
れる。この加算又は切換回路312は、低速シャッタ信
号と、高速シャッタ信号とを加算あるいは切換えて、広
い範囲の映像信号を見易いように信号処理するものであ
る。この信号処理はマイコン回路318からの制御信号
により制御され、シャッタ速度に応じた特性変換が与え
られる。

【0019】加算又は切換回路312の出力信号は、ア
ナログデジタル(A/D)変換回路313に入力され、出
力端子314を介して外部に出力される。

【0020】上記のAGC回路303、A/D変換回路
304、低速シャッタ用メモリ回路306、高速シャッ
タ用メモリ回路307、低速シャッタ用切換回路30
8、高速シャッタ用切換回路309、低速用特性変換回
路310、高速用特性変換回路311、加算又は切換回
路312の系統は、画像信号の処理部である。そして、
積算値回路315、ピーク値検出回路316、マイコン
回路318、電子シャッタ回路305などは、ダイナミ
ックレンジを拡大するための実行部に相当する。

【0021】図4は、上記カメラの動作を詳しく説明す
る動作説明図である。

【0022】図4の4Aは垂直同期信号であり、カメラ

は、この周期に同期して動作する。CCDカメラ部30
2の撮像画像出力期間は、符号4A01が低速シャッタ
期間、4A02が高速シャッタ期間、4A03が低速シ
ャッタ期間、4A04が高速シャッタ期間、4A05が
低速シャッタ期間である。この時のCCD撮像素子の電
子シャッタ動作は、露光と読出し時間の関係で、1垂直
期間の遅れがあるため、図4の4Bに示すような形態と
なり、期間4B01は高速シャッタ動作、期間4B02
は低速シャッタ動作となり、以下同様高速シャッタ動
作、低速シャッタ動作の繰り返しで、期間4B03、期
間4B04、期間4B05の動作となる。

【0023】AGC回路303の動作は、低速シャッタ
動作時と、高速シャッタ動作時とで、独立して動作する。
図4の4Cに示すように、期間4C01が低速シャッタ
用動作、期間4C02が高速シャッタ用動作となり、以
下同様の繰り返しとなる。

【0024】図4の4DはCCDカメラ部302の映像
出力信号で、4D01が低速シャッタ映像出力信号、4
D02が高速シャッタ映像出力信号となり、以下同様な
繰り返しとなる。図4の4Eは、図4の4Dと同じ信号
であり、図3のA/D変換回路305の出力信号であ
る。

【0025】以下、動作説明をわかりやすくするために
示した。4E01が低速シャッタ映像出力信号、4E0
2が高速シャッタ映像出力信号で、以下同様の繰り返
しで出力されるものとする。この映像出力信号は、図3の
低速シャッタ用メモリ回路306、高速シャッタ用メモ
リ回路307に入力され、この低速、高速シャッタ用メ
モリ回路306、307の出力は、それぞれ低速用切
換回路308、高速シャッタ用切換回路309に入力さ
れる。これにより図4の4F、4Gに示すように低速、
高速シャッタ映像信号が遅延信号となる。

【0026】この図4で符号Mがついている信号が、低
速、高速シャッタ用メモリ回路306、307のメモリ
からの信号であり、符号Mがついていない信号がA/D
変換回路304からの直接信号である。このように遅延
になった各信号は、それぞれ低速用特性変換回路31
0、高速用特性変換回路311において、図4の4H、
4Iに示すように特性変換される。そして図4の4Jに
示すような形態で加算される。

【0027】加算された映像信号は、図4の4Kに示す
ように、低速シャッタ映像出力信号と高速シャッタ映像
出力信号とが加算されたものである。

【0028】図5は、撮像特性であり、図4の4D、4
Kの映像出力信号の特性となる。図5は、低速シャッタ
と高速シャッタの入射光量に対する映像出力信号を示し
ている。低速シャッタによる出力特性は501、高速シ
ャッタの出力特性は502であり、低速シャッタ出力の
飽和点が503、高速シャッタ出力の飽和点が504で
ある。

【0029】この2つの映像信号は、図3に示すそれぞれの特変換回路である低速用特変換回路310と高速用特変換回路311で、例えばガンマ特性を得るための特性が与えられる。これら2つの信号の特性値は、マイコン回路318からの制御信号330と331で決められる。

【0030】低速用特変換回路310と高速用特変換回路311から出力される両信号は、加算又は切換回路312で信号処理され、図6に示すように、501の低速シャッタの出力(特性501)に、高速シャッタの出力(特性502)が加算あるいは切換され、特性601となる。この信号は、D/A変換回路313でデジタル信号からアナログ信号に変換され出力端子314から外部に出力される。

【0031】図3に戻って説明する。積算値回路315とピーク検出回路316は、電子シャッタ回路305のシャッタ時間を決めるための回路である。

【0032】積算値回路305は、A/D変換回路304からの撮像画面の側面信号を積算し、その積算値をマイコン回路318に送る。同じく、ピーク検出回路316は、A/D変換回路304からの撮像画面の側面信号から側面値の最大値を検出し、その最大値をマイコン回路318に送る。

【0033】積算値回路315とピーク検出回路316は、撮像画面に対して図7に示すように分割領域を設定している。即ち、画像701を画像702のように25個の領域に分割し、積算値あるいはピーク値を求め、この分割のために、ゲート波形発生回路317で発生したゲート波形状が用いられる。ゲート波形発生回路317は、水平同期信号HD、垂直同期信号VD、クロック信号CLKを用いてゲート信号を生成する。このゲート信号が積算値回路315とピーク検出回路316に送られる。これにより、積算値回路315とピーク検出回路316は、領域分割した映像信号の値を得ている。

【0034】マイコン回路318は、積算値回路315とピーク検出回路316からの情報を受け、シャッタのシャッタ時間を決定する。高速シャッタのシャッタ時間は、ピーク検出回路316からの情報を中心に決定し、低速シャッタのシャッタ時間は、積算値回路315からの情報を中心に受け決定し、その制御信号が電子シャッタ回路305に送られる。

【0035】電子シャッタ回路305は、マイコン回路318で決定された高速シャッタと低速シャッタのシャッタ時間に応じて、これら低、高速シャッタパルスとCDカメラ部302に使用されているCCD撮像素子に供給する。

【0036】図8は、図3の積算値回路315の詳細なブロック図を示す。A/D変換回路304の出力である入力映像信号は、ゲート回路801に入力される。垂直同期セ

ト回路801では、ゲート波形発生回路317で作られたゲート信号によって制御される。これにより、ゲート回路801では、図7に示すように設定された分割画面の中から必要な画面範囲をゲートする。

【0037】次に、ゲートした映像信号の積算を行う。つまりゲート回路801から出力された映像信号は、積算値回路802に入力され、1画素保持回路803の出力映像信号と積算される。この映像信号はゲート側面値算される。積算値は、積算出力制御回路804に送られ、マイコン回路318からの制御信号により出力され、マイコン回路318に送られる。

【0038】図9は、図3のピーク値検出回路316のブロック図を示す。積算値回路315と同様に、A/D変換回路304の出力である入力映像信号は、ゲート回路901に入力される。ゲート回路901では、ゲート波形発生回路317で作られたゲート信号によって制御される。これによりゲート回路901では、図7に示すように設定された分割画面の中から必要な画面範囲の映像信号をゲートする。

【0039】次に、ゲートした映像信号の最大値を検出する。検出にあたり2画素を加算してから行う。これはCCD撮像素子の光学色フィルタが補色モザイクの場合、信号の大きさが画素単位で変化するためである。2画素を加算することにより、色フィルタの影響がなくなる。2画素を加算するには、1画素保持回路902で1ビット遅らした信号と、現信号とを加算回路903で加算する。次に、この加算信号を2画素単位とするため、2画素保持信号発生回路904で加算信号を受け、これにより、2画素保持回路904で2画素単位の信号が作られる。

【0040】この2画素保持回路904の出力現信号は、比較回路907で2画素前の信号と比較される。比較回路907では、大きい方を選択するための選択信号を発生し、切換回路906に供給する。この結果、切換回路907では、2画素前の信号と現信号のうち、大きいほうを選択され、その選択された信号は、保持回路908に入力され保持される。

【0041】このようにして、ゲート回路901からの信号が終了するまで比較動作が行なわれる。ピーク出力制御回路909は、マイコン回路318からの制御信号により、保持回路908の出力(ピーク信号)を受け付け、出力端子910を介してマイコン回路318に送る。

【0042】上記した画面分割には、分割のためゲート信号が必要である。この信号は、垂直同期信号VDと水平同期信号HDとクロック信号CLKに基づいて発生される。

【0043】図10は、ゲート波形発生回路317のブロック図を示す。垂直同期信号VDは、垂直同期セ

303に送られる。

【0051】さらに、計算処理部1107、1110では、微調整処理1109、1112があり、この処理には、画像の明るさの微小変化に对应し、低速電子シャッタ信号1114、高速電子シャッタ信号1115を制御するためのものである。

【0052】低速電子シャッタ信号1114と高速電子シャッタ信号1115は、特変換制御部1116と加算比率制御部1120に入力される。特変換制御部1116では、低速特変換制御信号1117を生成し、加算比率制御部1120では高速特変換制御信号1118を生成する。低速特変換制御信号1117は、低速シャッタ時間に応じた信号であり、高速特変換制御信号1118は、高速シャッタ時間に応じた制御信号である。

【0053】図3の低速用特変換回路310は、この低速特変換制御信号1117で制御され、高速用特変換回路311は高速特変換制御信号1118で制御される。

【0054】加算比率制御部1120も同様、低シャッタ制御信号と高速シャッタ制御信号から加算比率制御信号1119を生成し、加算又は切換回路312に送り、低速シャッタの映像信号と高速シャッタの映像信号との加算比率を制御する。

【0055】図12は画面分割平均処理部1104のマイコン処理について、マイコン回路318が参照するデータを規範的に表した例である。

【0056】積算値回路315から得られた低速シャッタ画像積算値とピーク検出回路316から得られた低速シャッタ画像ピーク値から値和している領域と不飽和領域を分ける。

【0057】次に、低速シャッタ画像積算値の不飽和領域から低速画像平均値を算出し出力する。さらに、高速シャッタ画像積算値の飽和領域から高速画像平均値を算出し出力する。

【0058】この画面分割平均処理により、領域を分割し平均値を求めることにより、この後のシャッタ速度計算処理により低速シャッタ画像、高速シャッタ画像に対する各最適なシャッタ速度を計算する事ができる。

【0059】具体的に、図12(A)～図12(D)を参照して説明する。低速積算値から分割領域毎の画素平均値(この場合8bit幅)を求め、平均値が例えば200以上かつ、低速ピーク値が8bit幅の最大値のエリアを飽和領域とし、その他を不飽和領域としている。低速積算値から求めた平均値が例えば200を超えるエリアが点線で囲まれた領域1205となる(図12(A))。同じ画像に対して、低速ピーク値から得られた最大値のエリアが点線で囲まれたエリア1206となっている(図12(B))。その両方の重なったエリアを飽和領域1207(図12(C))とし、その他を不飽和領域

1208として分類する。飽和領域1207は、高速シャッタによる画像対象とされる。この領域の各ブロックの値算出の算平均値（高速画像平均値）も画面分割平均処理部1104から得られる（図12（D））。

【0060】シャッタ速度計算処理1108、1111では、画面分割平均処理部1104より低速画像平均値、高速画像平均値を受け取る。低速画像平均値、高速画像平均値がある範囲を超えている場合は大きな幅で、範囲内の場合は小さな幅で2段階にシャッタ速度を変化させる。この制御結果により次第に、低速画像平均値、高速画像平均値が範囲の中心になるように、低速電子シャッタ制御信号1114、高速電子シャッタ制御信号1115を出し電子シャッタ回路305を制御する。シャッタ速度計算処理1108と1110は入力と出力が違っただけで同等の動作をする。

【0061】図13は、画面分割平均処理部1104から出力される低速画像平均値の推移をグラフ化した例である。縦軸1301が画面分割平均処理部1104から出力される平均値、横軸1302が時間軸を表している。階段状に変化している波形が低速画像平均値である。

【0062】この例では、始め平均値は、最速級出力幅1303以下であるが、（現在のシャッタ速度）×（最速級出力幅の下限値1304）／（平均値）だけシャッタ速度を遅くする。一方、例えば最速級出力幅1303に入った後、最速級出力幅の中心1305を超えるまでシャッタ速度を垂直V毎に10％遅くしていく、最速級出力幅の中心を超えたところで、シャッタ速度の変更を止める。この状態を適正級出力状態1306とする。一度適正級出力状態に入った場合、一定時間（例えば保続時間1307で示すような時間）最速級出力幅の範囲外の値が検出され続けないかぎり、シャッタ速度の補正は行わない。この例では区間1308、1309で平均値が変動しはじめ最速級出力幅を超えているが、保続時間内であるためシャッタ速度は変更しない。

【0063】シャッタ速度の変化量を2段階に制御する事によって、急激な被写体側値の変化には素早く反応し、被写体側値の変化量が小さい場合は緩やかに反応する自然な演出を保つことができる。また、保続時間を設けることによって、被写体の急激な変化による発振を抑止する。

【0064】図14は、プログラム制御の状態遷移図を現している。6個の状態14s1～14s6が定義されており、シャッタ速度計算処理は、常にこの状態14s1～14s6の何れかになる。その状態毎に何らかの処理を行なうのに必要なイベント1401～1415を表したものが矢印である。シャッタ速度計算処理1108は、垂直同期画面Vごとに画面分割平均処理部1104から入力される平均値に基づいてイベントが発生させる。そして、現在の状態から外にむいている矢印のイ

【0076】平均値1320が範囲1312に入る為、イベントの最速級出力幅以上1407の処理である保続時間カウンタをリセットし、保続時間カウンタのカウントを開始し、状態を保続時間待ちの状態14s6に遷移させる。

【0077】保続時間待ちの状態14s6で処理されるイベントは次の3つがある。

【0078】1：イベントが最速級出力幅以上1411の場合、保続時間カウンタをリセットし、状態を適正級出力の状態14s4に遷移する。

【0079】2：イベントが最速級出力幅以上1417の場合、保続時間カウンタをリセットし、状態を適正級出力の状態14s4に遷移する。

【0080】3：イベントが保続時間経過1408の場合、状態を最速級出力の状態14s3に遷移する。

【0081】区間1308では、平均値は範囲1313にある為、状態は保続時間待ちの状態14s6である。1321で次に平均値1321が範囲1312になると、保続時間カウンタをリセットし、状態が適正級出力の状態14s4に遷移する。

【0082】再び平均値1322が範囲1313に入る為、イベントが最速級出力幅以上1407の処理である保続時間カウンタをリセットし、保続時間カウンタのカウントを開始し、状態を保続時間待ちの状態14s6に遷移させる。平均値が範囲1313のまま保続時間カウンタが一定値を超える時点1323で、保続時間経過1408となり、状態を最速級出力の状態14s3に遷移する。

【0083】以降、最速級出力の状態14s3では、最速級出力14s2と逆方向にシャッタ速度を変化させる動作となる。最終的には最速級出力14s4状態となる。

【0084】微調整処理1109、1112は、長周期の画面側値を補償するための処理である。照明光源の側値変動、例えば蛍光灯フリッカと撮像素子のフレーム周波数が整数倍で極めて近接している場合、折り返し歪による極めて長周期の画面側値変動を生じる。そこでこのような変動を、微調整処理1109、1112により検出して、当該変動を抑止するように処理している。これにより、適正級出力側の問題を解消するものである。

【0085】図15は、照明光源と撮像素子のフレーム周との関係で生じる画面側値変動を測定グラフ化した例である。縦軸が画面分割平均処理部1104から入力される平均値で、横軸が時間軸を表している。この例のように撮像素子のフレーム周との関係で生じる画面側値変動は、非常に緩やかな傾きとなるが、その傾きは30％程度と大きく、最速級出力幅の範囲外となる場合が生じる。

【0086】ここでシャッタ速度計算処理1108のみのシャッタ制御の場合は、平均値が最速級出力幅を超えると共に保続時間も規定時間を超えてしまうと、シャッタ制御が稼動し最速級出力に合わせてしまう。更にこの動作は平均値が下し、それぞれ上部と下部で電子シャッタが最速級出力に追い込む為、画面は極めて低い周期の発振を生じてしまう。

【0087】そこで長周期の画面側値変動に対する改善を次の方法で解消する。緩やかな傾きを検出、即ち1フレーム周期に±1％以内の範囲の側値変動を検出し、微少なシャッタ制御によって、1フレーム毎に最速級出力に追い込む。この小さな変動に関しては、保続時間を設けずに最速級出力に調節し、画面の絵柄が変化しただ等の画面側値の変化は先に説明した「シャッタ速度計算処理」の通常級出力処理を行う。以下、この制御の具体的な制御方法を述べる。

【0088】微調整処理1109は、条件としてシャッタ速度計算処理1108が、適正級出力と判断している場合にのみ動作を行う。本処理の動作であるが、適正級出力中にシャッタ速度計算処理1108がある平均値を記憶し、これを初期値とし、その初期値に対し1フレーム周期に±1％以内の範囲で平均値が変動した場合、（初期値）／（平均値）

を求める。この式から演算した結果は、マイコン回路318により露光時間の1％の補正量がCLOCK単位シフトレジスタ1605（図16参照）を何段ずらせば最速級出力となるかを算出する。この算出は、マイコン回路318自身が現在のシャッタ速度を認識している為、必要とされる最速級の補正時間は

$$\text{最速級の補正時間}(s) = 1 / (\text{現在シャッタ速度}(s) \div 100 (\%))$$

最速級補正するためのシフトレジスタ段数はシフトレジスタ段数＝最速級の補正時間(s)／マスタークロックの1周期(s)

である。このシフトレジスタ段数をCLOCK単位シフトレジスタ1605への制御信号とすれば、極めて微少な露光時間調整が可能となり、1フレームレート単位で±1％の露光時間を調整が実現できる。

【0089】また、本微調整はCCD出力信号のAGCでも適用できる。しかし、S／Nを考慮した場合、前記方式を適用した方が増幅度アップによるノイズが少ない。

【0090】特性変換制御信号1118は、低速シャッタの画像と高速シャッタ画像を合成したダイミックスデータ拡大画像を構築した場合、合成画像の最速級出力の制御信号である。この制御信号は、先に説明した信号系における非線形型処理回路の制御に用いる。

【0091】ここで画像合成の問題点として、2枚の画像を単純に加算しただけでは、拡大率が異なると共に合成画面の階調特性に非直線歪みを生じ、コンラスト

のとれない画像となる欠点がある。従って、2枚の画像を加算する前にダイナミック増大率に応じて映像信号の特性を変換し、非直線歪みを抑えてコントラスト低下の改善を図るものである。

【0092】本制御の動作は次の通りである。まず、ダイナミックレンジ増大率を以下の式より演算する。

【0093】ダイナミックレンジ増大率＝低速シャッタ制御信号1114／高速シャッタ制御信号1115

この値は露出制御完了時点のダイナミックレンジ増大率を求めたものである。特性変換制御部1116では、このダイナミックレンジ増大率の値が演算され、この結果を制御信号として出力する。

【0094】一方、信号処理系の特性変換回路は、その入力ー出力特性として $X \mapsto X^{a2} \times \log_2 1 \sim 10$ (指数特性)のテーブルを持っており、先の制御信号でテーブルを切り換え、画像信号に対する非直線歪みの改善を行う。

【0095】以下にダイナミックレンジ増大率に対するテーブル選択の関係を示す。

【0096】ダイナミックレンジ増大率<16の場合…
…X^{a2}のテーブルを選択

16<ダイナミックレンジ増大率<=64の場合…
X^{a2}のテーブルを選択

64<ダイナミックレンジ増大率 の場合…X^{a2}のテーブルを選択

特性変換制御部1116は、この条件分岐の結果を低速特性変換制御信号1117及び高速特性変換制御信号1

ダイナミックレンジ増大率＝1のとき

1<ダイナミックレンジ増大率<6のとき

6<ダイナミックレンジ増大率<8のとき

8<ダイナミックレンジ増大率のとき

注：H：高速シャッタ画像、L：低速シャッタ画像

ただし、上記の加算比率は一例であって、必要に応じて変えてもよいことは言うまでもない。

【0102】上記した図13、図14、図15の説明のようにこの発明では、第1の画像信号、第2の画像信号、第3の画像信号と続く画面情報少なくとも画度平均値より得た値から、電子シャッタ速度が収束すべき露光最適値を設定している。更にこの露光最適値を中心に許容範囲となる収束範囲を設定し、かつ、前記収束範囲としては、範囲幅が広いものと狭いものを2種類設定している。

【0103】また収束範囲から前記画度平均値からずれた場合、ずれの経過時間の計測を開始し一定時間内に前記収束範囲に画度平均値が戻るかを判断する基準として、前記一定時間を収束範囲として設定している。この場合、それぞれの収束範囲に対し異なる前記経過時間を付与している。そして、収束範囲の広い方に対しては、前記画度平均値の変化が大きいうちに前記電子シャッタ速度を変化させて前記露光最適値に戻し、収束範囲の

【0107】マイコン回路318からは、前述した「画像情報検出結果」から各フィールドに最適化された「電子シャッタ制御信号」が出力される。一方、CLK単位同期のレートで微調整可能なものである。従来の方では、電荷読み出しパルスの直前で「数クロックレートのシャッタパルス」を1パルス切ると露光時間が50％程度変化してしまうため、露光時間のキズミが窺わ

【0108】切換回路1606には、フィールド情報F1が供給されており、この情報に応じて各フィールドのためのシャッタパルスを出力する。

【0109】ここで、A・B各フィールドの画像に対し個別の電子シャッタパルスを与えるわけだが、まず、マイコン回路318から各フィールド用の電子シャッタ制御信号がそれぞれの「電子シャッタ発生ブロック」に送られ、A・Bフィールド用に個別の電子シャッタパルスを発生させる。次に、この2つの電子シャッタパルスを切り換え回路1606に入力し、フィールド毎に切り換えることでA・Bフィールド個別の電子シャッタパルスが生成できる。

【0110】図17(A)、図17(B)は、撮像素子として例えばCCDを適用した場合の電子シャッタパルス発生タイミングを示す。図17(A)は垂直同期パルス、図17(B)は、垂直同期レートでみたシャッタパルスを示している。各フィールドの電子シャッタは通常のTVカメラと同様の発生タイミングになっている。垂直同期パルスの終端エッジ付近で水平同期レートの電子シャッタパルスが発生開始する。そして次の垂直同期パルスの前半の一部の期間で、数枚は数十クロックレートの電子シャッタパルスの期間がある。

【0111】このパルスタイミングにおいて一部を拡大したのが図18(A)、(B)、図19(A)、(B)である。図18(A)は映像信号期間内の水平同期パルス、図18(B)は、水平同期レートでのシャッタパルスを示している。図19(A)、(B)は垂直ブラッキング内の細かいパルスである。図19(A)はクロック、図19(B)は数クロックレートによるシャッタパルスである。

【0112】ここで画像の露光時間は、垂直ブラッキング期間内の電荷読み出しパルス(フィールドソフトパルス)に対し、時間軸方向にさかのぼり最初の電子シャッタパルスが発生した期間のまでである。

【0113】水平同期レートのシャッタパルス開始時点t1は、Vブラッキング期間内の電荷読み出しパルス(フィールドソフトパルス)の直後であり、水平同期レートのシャッタパルスの終了時点t2はVブラッキングの直前までである。一方、数クロックレートのシャッタパルス開始タイミングは、Vブラッキング期間開始直後より電荷読み出しパルスの直前までである。

【0114】これら電子シャッタパルスの発生タイミングは、通常のCCDカメラに適用されているタイミング

である。

【0115】図20は、本CCDカメラの特徴となる点で、電子シャッタ速度だけで画像の露光時間をクロック同期のレートで微調整可能とするものである。従来の方では、電荷読み出しパルスの直前で「数クロックレートのシャッタパルス」を1パルス切ると露光時間が50％程度変化してしまうため、露光時間のキズミが窺わ

【0116】これに対し、微調整を行うと電荷読み出しパルスの直前に発生させたシャッタパルスの露光時間調整を数％ずつ行うことが可能となり、画像の画度レベルを細かく調整することが可能となる。これによる効果は高画質部分で極めて早い電子シャッタで切っている画像において、電子シャッタのみでフリッカ補正が可能となる。即ち、広ダイナミックレンジカメラにおいて高速シャッタ画像のフリッカを補正できる。

【0117】次に、実施方法としては1ピクセルクロック単位で電子シャッタパルスをシフトし、クロック同期の時間で露光時間を調整している。以上と同様により、広ダイナミックレンジカメラの動的電子シャッタ制御システムが構築できる。

【0118】この発明の撮像装置においては、画像信号及び制御信号処理部は、集積化される。例えば、電子シャッタは、種々の形態が可能である。例えば、電子シャッタ回路305、低速シャッタ用メモリ回路306、高速シャッタ用メモリ回路307、低速シャッタ用切換回路308、高速シャッタ用切換回路309、低速用特性変換回路310、高速用特性変換回路311、加算又は切換回路312、積算値回路315、ピーク値検出回路316、ゲート逆発生回路317が1つの集積化半導体チップとして構築される。しかし、これに限らず、集積化する場合、図1の各ブロックの組み合わせは任意である。

尚、上記の説明ではCCD撮像素子を例に説明したが、本発明はCMOSセンサを用いた場合にも同様な動作及び効果を得ることができ

【0119】

【発明の効果】 上記のようにこの発明によれば、異なる電子シャッタ処理を用いて撮像し、得られた映像信号を信号処理し、極めて広範囲な光量に対する画像撮像が可能となる。また、シャッタ時間は低速シャッタと高速シャッタとが独立して行えるため、被写体の画度差の非常に大きな場合でも撮像可能であり特殊な監視カメラ装置ができるなど、撮像装置として大きな効果がある。

【図面の簡単な説明】

【図1】従来の電子カメラにおける画像信号の説明図。

【図2】従来例の電子カメラの回路ブロックの説明図。

【図3】本発明の一実施例に係る撮像装置の回路ブロック図。

【図4】図3の回路ブロック図の動作を説明するために示した説明図。

【図5】撮像素子の撮像特性の説明図。

【図６】本発明に係る撮像装置の信号処理出力特性を示す説明図。

【図7】撮像画面の分割例を示す説明図。

【図8】図1の積算値回路のブロック構成図。

【図9】図1のピーク値検出回路のブロック構成図。

【図10】図1のゲート波形発生回路のブロック構成図。

【図11】図1のマイコン回路の内部ブロック図。

【図12】画面分割された画像の処理内容の説明図。

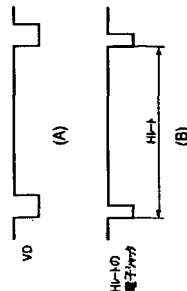
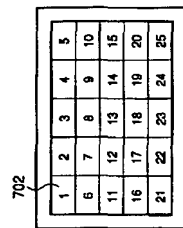
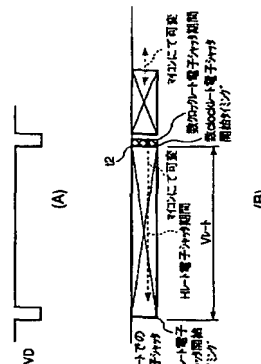
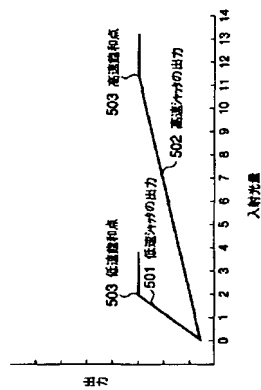
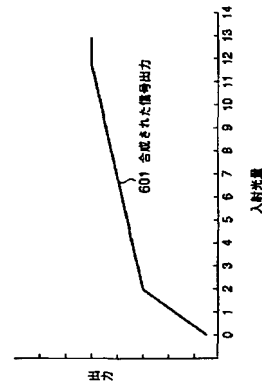
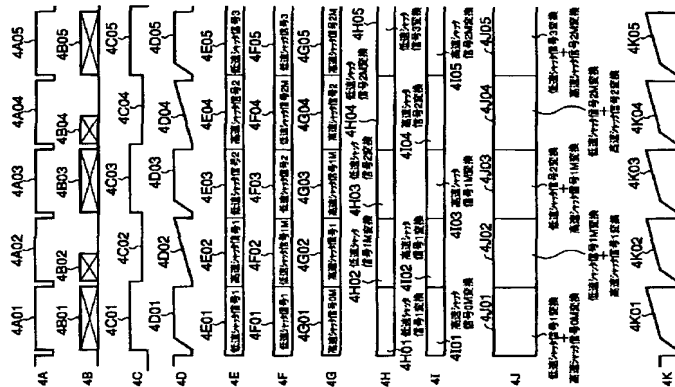
【図13】図13 制御推移を示すグラフ

【図14】 プログラム制御の状態遷移図

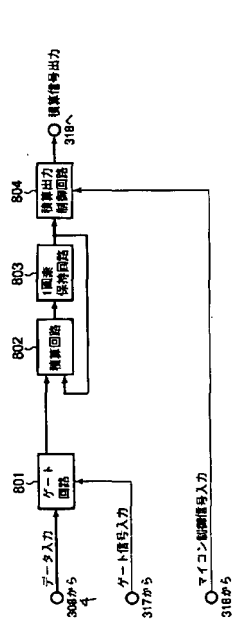
【図 15】 交流照明光源による画面輝度変動のグラフを示す図。

【図16】電子シャッタバルスの発生回路のブロックを示す図。

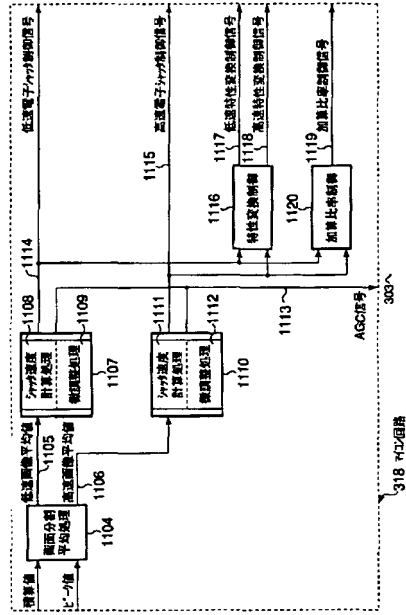
【図17】電子シャッター発生タイミングを垂直同期



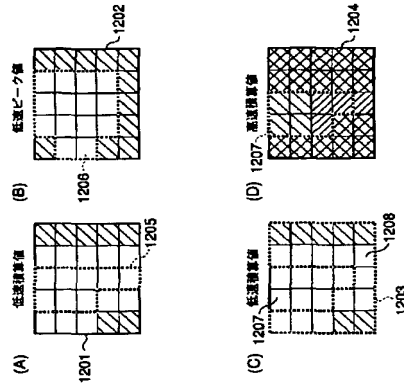
【図8】



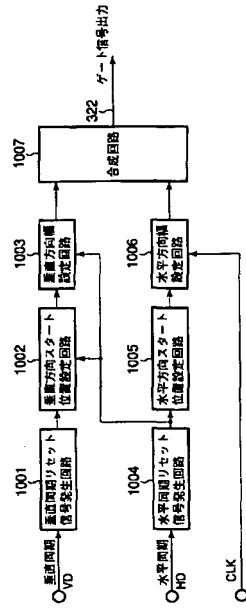
【図11】



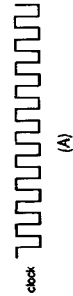
【図12】



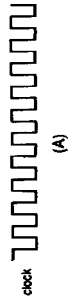
【図10】



【図19】

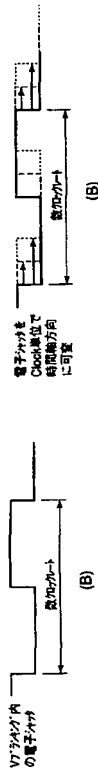


【図20】



(A)

(B)



(A)

(B)

